

| | |
|-------------|---|
| 氏 名 | いがらし みつひこ 五十嵐 満彦 |
| 学位(専攻分野) | 博 士 (工 学) |
| 学 位 記 番 号 | 博 甲 第 1 0 1 7 号 |
| 学位授与の日付 | 令和 3 年 9 月 24 日 |
| 学位授与の要件 | 学位規則第 4 条第 1 項該当 |
| 研 究 科 ・ 専 攻 | 工芸科学研究科 電子システム工学専攻 |
| 学 位 論 文 題 目 | A Study of BTI-Induced Variability and Highly Sensitive On-Chip Digital Aging Monitor for High Reliability (BTI によるばらつき及び高感度オンチップデジタル経年劣化モニターの研究) |
| 審 査 委 員 | (主査)教授 小林 和淑 教授 吉本 昌広 教授 門 勇一 本学グリーンイノベーションラボ シニアフェロー 熊代 成孝 |

論文内容の要旨

本論文では最適なロバスト(高信頼)設計のための先端 Complementary Metal-Oxide Semiconductor (CMOS)プロセステクノロジーにおける Bias Temperature Instability (BTI)によって引き起こされるばらつきに関するものであり、BTI の 2 つの変動性について論じている。一つはレイアウト形状に依存するばらつきであり、もう一つはチップ内の統計的なばらつきである。これらのばらつきをリングオシレータ(RO)の測定により評価している。さらに、高信頼性とガードバンド最適化の為に RO ベースの高感度なオンチップ BTI モニターと Hot Carrier Injection (HCI)モニターについても論じている。

第 1 章では、本研究分野の背景と本論文の目的について説明している。

第 2 章では、RO の測定結果を用いた論理回路に対する BTI のローカルなレイアウト形状効果(LLE)の影響の解析方法について説明している。この解析方法の基本的なコンセプトは各スタンダードセル種類の遅延に対する BTI の感度の違いを活用することにある。様々なスタンダードセルに対する BTI の LLE の影響は、LLE を考慮せずに推定した劣化量と実測を比較することで解析される。10 nm Fin Field Effect Transistor (FinFET)プロセスで製造されたテストチップの測定結果が示される。

第 3 章では、様々なプロセステクノロジーにおける BTI の局所ばらつきを RO の測定により解析する方法について説明し、それが論理回路と Static Random Access Memory (SRAM)に与える影響についても述べる。7 nm FinFET プロセス、16/14 nm 世代 FinFET プロセス及び 28 nm プレーナープロセスで製造されたテストチップに搭載した RO の測定結果に基づく評価結果を示した。これらの評価結果から、Negative BTI (NBTI)によって生じる閾値電圧(V_{thp})劣化の標準偏差($\sigma(\Delta V_{thp})$)は任意のストレス時間や V_{th} 種類および回復条件において平均値($\mu(\Delta V_{thp})$)の平方根に比例することが判明した。この BTI の局所ばらつき量はゲート長や Fin 数に依存し 7 nm FinFET プロセスが最もそのばらつき量が大きくなった。これらの測定結果に基づいた論理回路

と SRAM への影響度の分析結果を示した。

第 4 章では、オンチップ NBTI、Positive BTI (PBTI) 及び HCI モニターについて説明する。これらのモニター回路はアンバランスなスタンダードセルの組み合わせで構成されている。NBTI にセンシティブな RO (NBTI-RO) と PBTI にセンシティブな RO (PBTI-RO) の場合、NAND セルと NOR セルのアンバランスな駆動力の組み合わせで構成され、DC ストレスにおいてインバータで構成された RO (INV-RO) に比べて 4 倍以上の感度を実現する。この高い感度は縦積み MOSFET 構造により生じる立上り遅延と立下り遅延の不均衡性と、遅延の ΔV_{th} 感度の増加により引き起こされる。大きな駆動力を持つセルによって引き起こされるミラー効果は NBTI-RO 及び PBTI-RO に対する PBTI および NBTI の影響をそれぞれ軽減する。さらに NAND セルと NOR セルの接続順が NBTI-RO と反対の R-NBTI-RO は、NBTI モニターの NBTI および PBTI に対する感度をそれぞれ増減させるために使用する。その結果、7nm FinFET プロセスにおいて NBTI モニターは INV-RO と比較して 6.2 倍の NBTI に対する感度と、無視できるほど小さな PBTI に対する感度を達成する。HCI モニターはアンバランスな駆動力の INV の組み合わせで構成され、論理回路としてワーストとなる動作波形をシミュレートすることにより INV-RO と比較して HCI 劣化を 3.6 倍増加させた。28 nm HKMG プレーナープロセスと 7 nm FinFET プロセスで製造されたテストチップの測定結果から、想定通りの BTI 及び HCI 感度が達成されることを示した。

論文審査の結果の要旨

本学位論文は、集積回路内の信頼性の中で特に長期のストレスによる劣化現象である BTI について論じている。BTI は MOS トランジスタのゲートソース間にかかる電圧によってその特性が劣化するものである。3 章では BTI の局所ばらつき量がゲート長や FinFET の Fin 数に依存し微細化とともにその量が大きくなることを実測により明らかにした。4 章では特定の BTI において感度の高いリング型発振器(RO)を提案し、従来型の 6 倍以上の感度を持つ RO を 7nm FinFET プロセスで試作し、想定通りの感度であることを実測により確認した。

本論文は上記の通り集積回路の信頼性特に BTI について新規構造の測定回路の提案ならびにその実測評価を行っており、高く評価できる。

本論文は申請者を筆頭著者とする査読を経た以下の 2 編の原著論文と下記の 9 編の査読付き国際会議 Proceedings(うち 8 編が申請者が筆頭著者)を基礎としている。

原著論文

1) Mitsuhiro Igarashi, Yuuki Uchida, Yoshio Takazawa, Makoto Yabuuchi, Yasumasa Tsukamoto, Koji Shibutani and Kazutoshi Kobayashi, “An Analysis of Local BTI Variation with Ring-Oscillator in Advanced Processes and Its Impact on Logic Circuit and SRAM,” IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, 10 pages, doi: 10.1587/transfun.2020KEP0017, May 2021 (Early Access につきページ番号等詳細情報なし)

2) Mitsuhiro Igarashi, Toshifumi Uemura, Ryo Mori, Hiroshi Kishibe, Midori Nagayama, Masaaki Taniguchi, Kohei Wakahara, Toshiharu Saito, Masaki Fujigaya, Kazuki Fukuoka,

Koji Nii, Takeshi Kataoka, and Toshihiro Hattori, "A 28 nm High-k/MG Heterogeneous Multi-Core Mobile Application Processor With 2 GHz Cores and Low-Power 1 GHz Cores," IEEE Journal of Solid-State Circuits (JSSC), Vol. 50, No. 1, pp. 92-101, doi: 10.1109/JSSC.2014.2347353, Sep. 2014.

査読付き国際会議 Proceedings

1) Mitsuhiko Igarashi, Yuuki Uchida, Yoshio Takazawa, Makoto Yabuuchi, Yasumasa Tsukamoto and Koji Shibutani, "Study of Local BTI Variation and Its Impact on Logic Circuit and SRAM in 7 nm Fin-FET Process," IEEE International Reliability Physics Symposium (IRPS), 6 pages, doi: 10.1109/IRPS.2019.8720508, 2019

2) Mitsuhiko Igarashi, Yuuki Uchida, Yoshio Takazawa, Yasumasa Tsukamoto, Koji Shibutani and Koji Nii, "A Fully Standard-Cell Based On-Chip BTI and HCI Monitor with 6.2x BTI sensitivity and 3.6x HCI sensitivity at 7 nm Fin-FET Process," IEEE Asia Solid-State Circuits Conference (A-SSCC), pp. 195-196, doi: 10.1109/ASSCC.2018.8579303, Nov. 2018

3) Mitsuhiko Igarashi, Yuuki Uchida, Yoshio Takazawa, Yasumasa Tsukamoto, Koji Shibutani and Koji Nii, "Study of Impact of BTI's Local Layout Effect Including Recovery Effect on Various Standard-Cells in 10nm FinFET," IEEE International Reliability Physics Symposium (IRPS), P-CR.1, 4 pages, doi: 10.1109/IRPS.2018.8353654 March 2018

4) Mitsuhiko Igarashi, Yoshio Takazawa, Yasumasa Tsukamoto, Kan Takeuchi and Koji Shibutani, "NBTI/PBTI separated BTI monitor with 4.2x Sensitivity by Standard Cell Based Unbalanced Ring Oscillator," IEEE Asia Solid-State Circuits Conference (A-SSCC), pp. 201-204, doi: 10.1109/ASSCC.2017.8240251, Nov. 2017.

5) Mitsuhiko Igarashi, Hiroaki Matsushita, Takeshi Okagaki, Koji Shibutani, Kan Takeuchi, and Koji Nii, "An on-Die Digital Aging Monitor Against HCI and xBTI in 16 nm Fin-FET Bulk CMOS Technology," in Proc. IEEE European Solid-State Circuits Conf. (ESSCIRC), pp. 112-115, doi: 10.1109/ESSCIRC.2015.7313841 , 2015.

6) Mitsuhiko Igarashi, Toshifumi Uemura, Ryo Mori, Noriaki Maeda, Hiroshi Kishibe, Midori Nagayama, Masaaki Taniguchi, Kohei Wakahara, Toshiharu Saito, Masaki Fujigaya, Kazuki Fukuoka, Koji Nii, Takeshi Kataoka and Toshihiro Hattori, "A 28nm HPM Heterogeneous Multi-Core Mobile Application Processor with 2GHz Cores and Low-Power 1GHz Cores," IEEE International Solid-State Circuits Conf. (ISSCC), Dig., Tech., Papers, 2 pages, doi: 10.1109/ISSCC.2014.6757389, Feb. 2014.

7) Mitsuhiko Igarashi, Hideki Aono, Hideaki Abe, Koji Shibutani and Kan Takeuchi, "Assessment of Reliability Impact on GHz Processors with Moderate Overdrive," in Proc. IEEE Int. Symposium on Quality Electronic Design (ISQED), pp. 456-460, doi: 10.1109/ISQED.2014.6783359, 2014.