

氏 名	よこやま よしさと 横山 佳巧
学位(専攻分野)	博 士 (工 学)
学 位 記 番 号	博 甲 第 1 0 1 8 号
学位授与の日付	令和 3 年 9 月 24 日
学位授与の要件	学位規則第 4 条第 1 項該当
研 究 科 ・ 専 攻	工芸科学研究科 電子システム工学専攻
学 位 論 文 題 目	Design Optimization for Low-power and Highly Reliable Embedded SRAMs on Advanced CMOS Platforms (様々なプロセスにおける Embedded SRAM の低電力かつ高信頼 な設計技術)
審 査 委 員	(主査)教授 小林 和淑 教授 吉本 昌広 教授 門 勇一 本学グリーンイノベーションラボ シニアフェロー 新居 浩二

論文内容の要旨

本論文は大規模集積回路(LSI)内において高速なメモリとして用いられる組み込み Static Random Access Memory(SRAM)についての研究論文である。全体は 7 章で構成される。第 1 章では本研究の意義と背景が述べられている。近年のあらゆる電子機器は LSI が使用されている。MCUはマイクロプロセッサとその命令コードやプログラムを保存するメモリを持つ LSI であり、メモリには最も一般的な組み込みメモリである SRAM が使用されることが多い。第 2 章では SRAM についての技術的な背景と SRAM に対するこの論文でのチャレンジが述べられている。チャレンジは低電力化、マルチポート SRAM、スクリーニングテスト、先端プロセスでの High density and High speed の 4 つであり、3~6 の各章では 1 つもしくは複数のチャレンジについて述べられている。7 章では 1~6 の結論が記されている。

3 章では Resume Standby 技術を使った 3 つの事例が紹介されている。Resume standby 技術は揮発性のメモリである SRAM のメモリデータを保持したままスタンバイパワーを削減できる技術である。40-nm 1.1V SRAM と 110-nm 1.5V SRAM はスタンバイパワーが 1/4~1/5 に削減されており、40-nm 3.3V SRAM では 1/50 に削減された。Resume standby の適応による副作用があるため、40-nm 1.1V SRAM には自動車用に高信頼性のテスト、110-nm 1.5V SRAM には低コスト化のため時短テストが適応されている。

4 章では差動型 8T SRAM Bitcell を使用したマルチポート SRAM について述べられている。このビットセルには Disturbance issue という問題がある。Disturbance issue は 1 つのビットセルのワード線 (WL) が同時に活性化された時のみに発生し、ビットセルの動作マージンが削減されてしまう。この章では Disturbance issue を回避することでマルチポート SRAM の動作電力の削減または高速化の提案がされている。テストチップで動作電力を 19%削減し、約 2 倍の高速化を達成し、最低動作電圧 (Vmin) も十分問題ないことが確認された。

5 章ではスクリーニングテストについて記されている。この章では新しいスクリーニングテスト

を提案している。SRAM では低温で Write マージンが不足するが、このテスト手法では室温で低温の Write 不良を再現することができ、SRAM マクロの低温テストを省略することが可能となる。従来手法である電圧ガードバンド手法により低温不良を忠実に再現でき、テストチップではオーバースクリーニングサンプルが 1/29 に削減された。

6 章では 7-nm の最先端プロセスでの高密度化・高速化技術が記されている。最先端プロセスでは配線抵抗が急激に高くなっており、高密度化を目指す WL、Bitline (BL) が長配線となり高速化を阻害する。この章では既存の Write-Assist 回路、Read-Assist 回路と親和性が高く、同時に使用することが可能な回路を提案した。テストチップではこの回路と Write/Read-Assist により 120mV の Vmin が改善され、12% Access time が改善した。この回路を適応することで 7-nm の SRAM では 29.2 Mbit/mm² のメモリ密度を達成した。

論文審査の結果の要旨

本学位論文は、集積回路内の高速なメモリとして用いられる SRAM の低電力化や高信頼化などについて論じている。SRAM はデジタル回路を有する集積回路のほとんどのに搭載されている重要な部品(IP)であり、MCU と呼ばれる自動車や家電機器の制御を行うプロセッサにおいては命令コードやプログラムの保存を行う。3 章ではスタンバイ時の電力削減手法の提案を行い、40-nm 1.1V SRAM と 110-nm 1.5V SRAM では 1/4～1/5 に削減、40-nm 3.3V SRAM では 1/50 に削減している。4 章では同時読み書きが可能なマルチポート SRAM において、従来問題となっていた Disturbance Issue を解決することにより、電力を 19%削減しかつ約 2 倍の高速化を達成した。

5 章においては動作不良を起こす SRAM を低コストで正確に取り除く手法の提案を行い、従来手法に比べて正常品を取り除いてしまう率を 1/29 に削減した。6 章では最先端の 7nm プロセスで試作した SRAM の高速化回路を提案し、動作最低電圧が 120mV 改善し、メモリ密度も向上させた。

本論文は上記の通り SRAM の様々な回路技術の提案を行っており、その結果は実際の製品に適用されており高く評価できる。

本論文は申請者を筆頭著者とする査読を経た以下の 1 編の原著論文と査読を経た 8 編の国際会議 Proceedings(うち 7 編が申請者が筆頭著者)を基礎としている。

原著論文

1) Yoshisato Yokoyama, Yuichiro Ishii, Koji Nii and Kazutoshi Kobayashi, “Cost-Effective Test Screening Method on 40-nm Embedded SRAMs for Low-Power MCUs”, IEEE Transactions on Very Large Scale Integration (TVLSI) Systems, vol.29, no. 7, pp. 1495-1499, doi:10.1109/TVLSI.2021.3082760, June 2021

査読付き国際会議 Proceedings

1) Yoshisato Yokoyama, Yuichiro Ishii, Hidemitsu Kojima, Atsushi Miyanishi, Yoshiki Tsujihashi, Shinobu Asayama, Kazutoshi Shiba, Koji Tanaka, Tatsuya Fukuda, Koji Nii, Kazumasa Yanagisawa, “40nm Ultra-low leakage SRAM at 170 deg.C operation for embedded flash MCU”, Fifteenth International Symposium on Quality Electronic Design, pp. 24-31, doi:

10.1109/ISQED.2014.6783302, 2014

2) Yoshisato Yokoyama, Yuichiro Ishii, Koji Tanaka, Tatsuya Fukuda, Yoshiki Tsujihashi, Astushi Miyanishi, Shinobu Asayama, Keiichi Maekawa, Kazutoshi Shiba, Koji Nii, “40 nm Dual-port and two-port SRAMs for automotive MCU applications under the wide temperature range of -40 to 170°C with test screening against write disturb issues”, IEEE Asian Solid-State Circuits Conference (A-SSCC), pp. 25-28, doi: 10.1109/ASSCC.2014.7008851, 2014.

3) Koji Nii, Makoto Yabuuchi, Yoshisato Yokoyama, Yuichiro Ishii, Takeshi Okagaki, Masao Morimoto, Yasumasa Tsukamoto, Koji Tanaka, Miki Tanaka, Shinji Tanaka, “2RW dual-port SRAM design challenges in advanced technology nodes”, IEEE International Electron Devices Meeting (IEDM), pp. 11.1.1-11.1.4, doi: 10.1109/IEDM.2015.7409673, 2015

4) Yoshisato Yokoyama, Yuichiro Ishii, Toshihiro Inada, Koji Tanaka, Miki Tanaka, Yoshiki Tsujihashi, Koji Nii, “A cost effective test screening method on 40-nm 4-Mb embedded SRAM for low-power MCU”, IEEE Asian Solid-State Circuits Conference (A-SSCC), 4 pages, doi: 10.1109/ASSCC.2015.7387483, 2015

5) Yoshisato Yokoyama, Yuichiro Ishii, Haruyuki Okuda, Koji Nii, “A dynamic power reduction in synchronous 2RW 8T dual-port SRAM by adjusting wordline pulse timing with same/different row access mode”, IEEE Asian Solid-State Circuits Conference (A-SSCC), pp. 13-16, doi: 10.1109/ASSCC.2017.8240204, 2017

6) Yoshisato Yokoyama, Tomohiro Miura, Yukari Ouchi, Daisuke Nakamura, Jiro Ishikawa, Shunya Nagata, Makoto Yabuuchi, Yuichiro Ishii, Koji Nii, “40-nm 64-kbit Buffer/Backup SRAM with 330 nW Standby Power at 65°C Using 3.3 V IO MOSs for PMIC less MCU in IoT Applications”, IEEE Asian Solid-State Circuits Conference (A-SSCC), pp. 9-12, doi: 10.1109/ASSCC.2018.857932, 2018

7) Yoshisato Yokoyama, Kenji Goto, Tomohiro Miura, Yukari Ouchi, Daisuke Nakamura, Jiro Ishikawa, Shunya Nagata, Yoshiki Tsujihashi, Yuichiro Ishii, “A Cost Effective Test Screening Circuit for embedded SRAM with Resume Standby on 110-nm SoC/MCU”, IEEE Asian Solid-State Circuits Conference (A-SSCC), pp. 17-20, doi: 10.1109/A-SSCC47793.2019.9056978, 2019

8) Yoshisato Yokoyama, Miki Tanaka, Koji Tanaka, Masao Morimoto, Makoto Yabuuchi, Yuichiro Ishii, Shinji Tanaka, “A 29.2 Mb/mm² Ultra High Density SRAM Macro using 7nm FinFET Technology with Dual-Edge Driven Wordline/Bitline and Write/Read-Assist Circuit”, IEEE Symposium on VLSI Circuits, 2 pages, doi: 10.1109/VLSICircuits18222.2020.9162985, 2020