

2026 年度シラバス

科目分類/Subject Categories			
学部等/Faculty	/大学院工学科学研究科（博士前期課程）： /Graduate School of Science and Technology (Master's Programs)	今年度開講/Availability	/有 : /Available
学域等/Field	/設計工学域 : /Academic Field of Engineering Design	年次/Year	/1～2年次 : /1st through 2nd Year
課程等/Program	/電子システム工学専攻 : /Master's Program of Electronics	学期/Semester	/秋学期 : /Fall term
分類/Category	/授業科目 : /Courses	曜日時限/Day & Period	/月 3 : /Mon.3

科目情報/Course Information				
時間割番号 /Timetable Number	62119903			
科目番号 /Course Number	62160057			
単位数/Credits	2			
授業形態 /Course Type	講義 : Lecture			
クラス/Class				
授業科目名 /Course Title	FPGA 回路設計 : FPGA Circuit Design			
担当教員名 / Instructor(s)	/(寺澤 真一)/小林 和淑/高井 伸和/新谷 道広 : TERASAWA Shinichi/KOBAYASHI Kazutoshi/TAKAI Nobukazu/SHINTANI Michihiro/			
その他/Other	インターンシップ実施科目 Internship	国際科学技術コース提供科目 IGP	PBL 実施科目 Project Based Learning	DX 活用科目 ICT Usage in Learning
			○	○
	実務経験のある教員による科目 Practical Teacher	○	電子機器メーカーにて長年に渡り FPGA の設計を行ってきた教員を非常勤講師としている。	
科目ナンバリング /Numbering Code				

授業の目的・概要 Objectives and Outline of the Course	
日	プログラムできる大規模集積回路(LSI)である FPGA (Field Programmable Gate Array)を、ハードウェア記述言語(HDL)で設計する。FPGA は少量他品種向けの LSI であり、集積回路の微細化にもその用途を広げてきた。HDL は、SystemVerilog を用いる。HDL の記述方法の基本を習得し、デジタル回路を実装するための手法を学ぶことを目的とする。
英	Students design FPGAs (Field Programmable Gate Array) which are programmable large-scale integrated circuits (LSIs) by hardware description language (HDL). FPGAs are LSIs used for small-volume production, and their use has expanded with the miniaturization of integrated circuits. SystemVerilog is used as an HDL. The objective of this course is to learn the basics of HDL and the methods to implement digital circuits.

学習の到達目標 Learning Objectives	
日	SystemVerilog の記述方法を習得する。 FPGA 上に設計を実装する。 周辺電子回路を使って FPGA 上にシステムを構築する。
英	To learn how to describe SystemVerilog. To implment a circuit on an FPGA. To construct a system on an FPGA with peripheral circuits.

学習目標の達成度の評価基準 / Fulfillment of Course Goals (JABEE 関連科目のみ)	
日	
英	

授業計画項目 Course Plan			
No.		項目 Topics	内容 Content
1	日	HDL とは	ハードウェア記述言語(HDL)とは何かを学ぶ
	英	What is HDL	Students study what is HDL.
2	日	FPGA とは	FPGA とは何かを学ぶ
	英	What is FPGA	Students study what is FPGA.
3	日	SystemVerilog I	SystemVerilog の文法(主に組み合わせ回路)の実装方法を学ぶ
	英	SystemVerilog I	Students study how to implement a circuit (mainly combinational logics) by SystemVerilog.
4	日	SystemVerilog II	SystemVerilog の文法(主に順序回路)の実装方法を学ぶ
	英	SystemVerilog I	Students study how to implement a circuit (mainly sequential logics) by SystemVerilog.
5	日	FPGA 実装演習 I	HDL により FPGA に例題の回路を実装してその動作を確かめる.
	英	FPGA Implementation I	FPGA Implementation I
6	日	FPGA 実装演習 II	HDL により FPGA に例題の回路を実装してその動作を確かめる.
	英	FPGA Implementation II	Students implement another circuit to an FPGA by revising the example circuit.
7	日	FPGA システム設計 I	自身で FPGA に実装する回路の仕様を考える
	英	FPGA System Design I	Students consider specifications of their own circuits implemented to an FPGA.
8	日	FPGA システム設計 II	自身で FPGA に実装する回路の仕様を考える
	英	FPGA System Design II	Students consider specifications of their own circuits implemented to an FPGA.
9	日	FPGA システム実装 I	仕様を元に FPGA にシステムを実装する
	英	FPGA System Implementation I	Students implement their own circuits from the specification.
10	日	FPGA システム実装 II	仕様を元に FPGA にシステムを実装する
	英	FPGA System Implementation II	Students implement their own circuits from the specification.
11	日	FPGA システム実装 III	仕様を元に FPGA にシステムを実装する
	英	FPGA System Implementation III	Students implement their own circuits from the specification.
12	日	FPGA システム実装 IV	仕様を元に FPGA にシステムを実装する
	英	FPGA System Implementation IV	Students implement their own circuits from the specification.
13	日	実装結果プレゼン資料作成	実装した結果をプレゼン資料にまとめる
	英	Presentation File Design	Students summarize their designs on a presentation file.
14	日	実装結果プレゼン I	資料を元に自身の設計結果をプレゼンする.
	英	Presentations I	Students give presentations.
15	日	実装結果プレゼン II	資料を元に自身の設計結果をプレゼンする.
	英	Presentations II	Students give presentations.

履修条件 Prerequisite(s)	
日	
英	

授業時間外学習 (予習・復習等) Required study time, Preparation and review	
日	・学内からの進学者においては、学部在籍時にデジタル電子回路、集積回路工学を受講していることが望ましい。大学院の集積回路工学特論を受講していることも望ましい。

	<ul style="list-style-type: none"> ・FPGA ボードの台数と実験室の広さの関係で、受講者数を 20 名程度に絞る。絞るさいには、集積回路工学の受講と成績を参考にする。 ・実装にさいし、Windows PC を持参すること。ただし Mac OS の PC を所有している学生には Windows PC を貸与する。 ・授業時間外に、予習・復習を行うこと。目安は各 1 時間ずつとする。
英	<ul style="list-style-type: none"> ・ For students who graduated from KIT, it is desirable that they have taken the classes "digital electronic circuits" and "integrated circuits". It is also desirable for students to have taken the class "Advanced Integrated Circuits Engineering in the graduate school. ・ The number of students will be limited to about 20 due to the number of FPGA boards and the size of the laboratory room. The grades in "Advanced Integrated Circuit" will be used as a reference for the selection. ・ Students are required to bring their own Windows PC for implementation. Students who own a Mac OS PC will be lent a Windows PC. ・ Students are expected to prepare and review outside of class hours. The standard is one hour each.

教科書／参考書 Textbooks/Reference Books	
日	教科書：FPGA/ASIC 設計者のための実践 SystemVerilog 記述法(仮題), 小林和淑編, オーム社(出版予定) 参考書: SystemVerilog 入門, 飯塚一哉, 共立出版
英	Textbook: Practical SystemVerilog Description for FPGA/ASIC Designers (Tentative Title) , Kazutoshi Kobayashi (Editor), Ohmsha (Will be published) Reference: Introduction to SystemVerilog, Kazuya Iizuka, Kyoritsu Shuppan

成績評価の方法及び基準 Grading Policy	
日	・試験は行わず、実装結果とそのプレゼンを見て採点を行う。
英	・ No examinations will be given, but students will be graded on the results of their implementation and presentation.

留意事項等 Point to consider	
日	
英	